

引用格式: 马昕煜, 徐瀚洋, 王健. SOC 嵌入式数字 IP 核通用测试方法 [J]. 微电子学与计算机, 2019, 36(2): 26-30. [MA X Y, XU H Y, WANG J. A universal embeded digital IP core testing method [J]. Microeletronics & Computer, 2019, 36(2): 26-30.]

SOC 嵌入式数字 IP 核通用测试方法

马昕煜, 徐瀚洋, 王健

(复旦大学 专用集成电路和系统国家重点实验室, 上海 201203)

摘 要: 本文基于 IEEE 标准设计了一种通用的、低成本的嵌入式 IP 核测试方法. 该方法通过仅重新定义待测 IP 的端口数量和名称, 即可完成各种数字 IP 核测试电路设计以及集成, 该方法支持 IEEE1500 标准中的所定义的全部 11 条通用指令所对应的工作模式, 以此来提供丰富的 IP 核测试控制以及观测模式; 测试软件兼容符合 IEEE1687 的测试数据, 可做到无需修改测试图形文件即可自动完成测试、提取诊断信息. 为了验证本方法的有效性, 我们在 FPGA 上实现并测试了多种异构 IP 核和大量的同构 IP 核, 在整个测试过程中, 该测试方法在保证支持国际主流测试标准、具有较高的测试自动化程度的同时, 利用其通用性简化了数字 IP 核的测试集成和复用过程.

关键词: IEEE1500; IEEE1687; IP 核测试; RAM

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2019)02-0026-05

A Universal Embeded Digital IP Core Testing Method

MA Xin-yu, XU Han-yang, WANG Jian

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 201203, China)

Abstract: This paper presents a general, low cost embedded IP core testing method based on IEEE standards. Only by redefining the number and name of under-test IP cores, the method can automatically generate test wrappers for various digital IP cores. The test wrapper supports all 11 instructions specified in the IEEE 1500 standard, thereby providing ample IP core test control and observation modes. The test software is IEEE1687-compatible, when the IP core is tested in different SOC designs, it can automatically complete the test and extract diagnostic information without modifying the test pattern. In order to verify this method, we implemented and tested a variety of heterogeneous IP cores and a large number of homogeneous IP cores on FPGA. This test method simplifies the test integration and reuse process of the digital IP cores by supporting mainstream IEEE test standards and providing a high degree of test automation.

Key words: IEEE1500; IEEE1687; IP core test; RAM

1 引言

目前测试 SOC 嵌入式数字 IP 核时设计者面临以下挑战: 首先, 非通用的数字 IP 核测试方法在不同使用者复用时将带来较多困难, 这导致了更高的测试成本; 其次, 自动测试机台 (ATE) 使用成本较高, 而在实验室原型设计测试等一些低成本的测试

中, 需要一些支持 IEEE 测试标准的低成本和高度自动化的方法. 为了标准化 IP 核测试方法 (包括测试访问机制和测试数据格式), IEEE1500 和 IEEE1687 相继诞生, 为 IP 核设计者和使用者提供了 IP 核测试设计规范, 有效地提高了 IP 核测试方法被重用时的效率^[1,2]. 最近的相关研究主要是基于 IEEE1500 的各种数字 IP 核测试设计方法, 在文

收稿日期: 2018-08-21; 修回日期: 2018-09-21

基金项目: 国家级军口项目资助 (1067GK0064)

献[3]中测试壳是针对 RAM 测试的专用设计,它支持三个 1 500 强制指令;文献[4]提出了用于处理器测试的专用测试壳设计,它支持三个 1 500 强制指令.但是由于文献[3][4]中的测试壳不支持所有 1 500指令和测试模式,这意味着以上方法不能通用地适用于各种数字 IP 核的测试.此外文献[5]通过其专用的多层级测试总线访问各种符合 1 500 的 IP 核测试壳,这种方法缺乏通用的测试访问机制和测试数据格式,致使测试可重用性差.本文提出了一种通用数字 IP 核测试方法,该方法支持 IEEE1 500 中规定的所有指令和工作模式以及 IEEE1687 格式的测试数据.

2 测试方法的设计实现

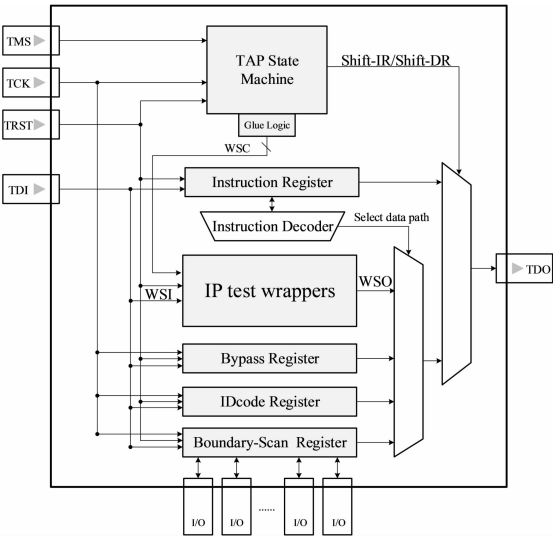


图 1 测试接入硬件结构

2.1 测试接入硬件设计

为了提供通用的 IP 核测试接入机制,我们设计了一个 5 引脚 JTAG 模块作为硬件与软件接口(如图 1 所示).由于标准 JTAG 模块设计方法可见于 IEEE1149.1(如 TAP 控制器状态机和各种寄存器),此处不再赘述.值得一提的胶水逻辑电路(Glue Logic)可将 JTAG TAP 状态机的状态转换成对应 IEEE1 500 测试壳的控制信号,同时 WSI 与 TDI 相连,WSO 与 TDO 相连,以此来实现通过 JTAG 端口来进一步控制 IP 核测试壳.本 JTAG 模块在设计时,除了支持 JTAG 的功能指令(如 BY-PASS、EXTEST、SAMPLE、INTEST、IDCODE、PRELOAD)之外,我们还自定义了一条指令:WRAPPER_TEST,当指令寄存器中写入 WRAP-
PER_TEST 指令并更新成功后,TDI、TDO 之间连

入 IP 核测试壳寄存器链.其他 JTAG 寄存器受 TRST 和 TAP 控制器的 TEST_LOGIC_RESET 状态的复位控制,而 IP 测试壳寄存器链只接受 TRST 的复位控制,一旦选中该指令,即使 JTAG 处于 TEST_LOGIC_RESET 状态,TDI-TDO 之间仍然保持连接的是 IP 测试壳寄存器链,此时对应的操作是对 IP 核测试壳进行复位操作.

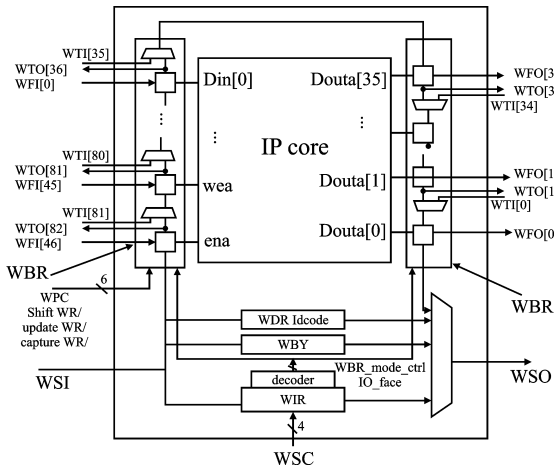


图 2 测试壳结构

表 1 测试壳支持配置指令及工作模式

测试壳指令	配置模式
WS_BYPASS	旁路模式,测试壳不工作 IP 核正常工作
WS_EXTEST	IP 核串行外部测试模式
WP_EXTEST	两条扫描链,IP 核外部测试
W _x _EXTEST	自定义扫描链属性,IP 核外部测试模式
W _x _SAFE	安全模式,IP 核被隔离
W _x _CLAMP	更新值模式,IP 核被隔离
WS_PRELOAD	串行移入自定义安全值模式,IP 核正常工作
WP_PRELOAD	两条扫描链并行移入自定义安全值模式,IP 核正常工作
W _s _INTEST_RING	IP 核串行测试模式,不连接 IP 核内部扫描链
W _s _INTEST_scan	IP 核串行测试模式,连接 IP 核内部扫描链
WP_INXTEST	两条扫描链并行,IP 核测试模式
W _x _INTEST	自定义扫描链属性,IP 核测试模式
Wrapper_IDCode	读 IP 核测试壳 ID 模式

文提出的测试壳(如图 2)由以下几种基本寄存器组成:测试壳指令寄存器(WIR)、测试壳旁路寄存器(WBY)、测试壳边界寄存器(WBR),在 IEEE1500 中详细阐述了其设计方法,所以我们在此不做赘述,此外我们自定义了一个测试壳数据寄存器 WDR_IDCODE,它用于存储测试壳的唯一身份标识信息.与标准测试壳边界寄存器(WBR)不

同,我们在每个 WBR 单元之间加入一个多路选择器,用以将每个 WBR 单元的输入和输出取出作为 WTI 以及 WTO,当测试壳配置在 WX_INTEST, WX_EXTEST 模式时,用户可以根据自己的设计需求自定义 WBR 扫描链的长度以及条数.此外我们使用 Verilog 自顶向下的参数设计方法和编译器指令来实现仅需重新定义 IP 核的 IO 引脚的数量和名称,就可以自动生成 IP 核对应的测试壳.本文设计的测试壳支持 IEEE1500 中规定的所有 11 条指令和相应的工作模式,表 1 详细记录了测试壳所支持的指令名称以及对应的工作模式.此外,我们自定义 1 条指令 Wrapper_IDCode 来识别芯片中每个测试壳.当 WIR 中选择以上不同的指令后,其译码电路将生成相应的信号,配置 WSI-WSO 之间连入对应的寄存器,同时 IO_face 和 WBR_modes_ctrl 信号将 WBR 配置为向内测试模式、向外测试模式或安全模式.

2.2 测试软件设计

考虑到测试程序开发的方便性,后期维护以及可扩展性,我们使用 Python 来开发测试程序,其基本框架如图 3 所示.我们采用基于 FT232D 芯片的 USB-JTAG 转接板(由我们的团队设计)来实现 USB-JTAG 通信.

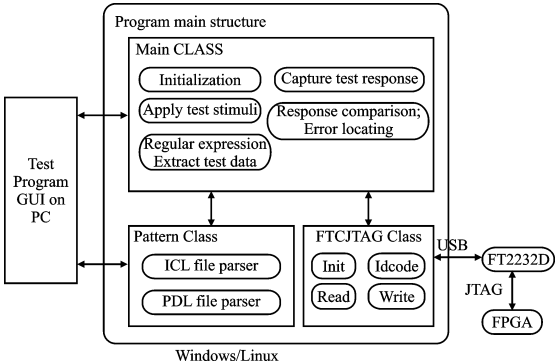


图 3 测试软件结构

我们使用 FTC 提供的动态链接库(DLL)开发基于 PC 的测试软件.基于面向对象编程思想,测试程序主要分为三大类:

(1)FTCJTAG 类:它主要在 Python 环境中调用 DLL,将 C 数据类型转换为 python 数据类型并封装 DLL 内部函数,以便我们可以在 Python 程序中进一步调用.

(2)测试图形类:主要定义解析测试图形文件的函数.本文提出的方法支持 IEEE1687 ICL 和 PDL 文件. ICL 文件记录了片内测试网络中每个模块的

属性以及其相互连接方式;PDL 文件记录 IP 核的测试数据.解析后数据将返回到主类以供进一步使用.

(3)主类:由测试程序的主要功能函数组成,包括测试板初始化,片上测试壳识别,激励施加和响应读回,响应分析和错误诊断.

为了方便获得不同 IP 核的 PDL 格式测试图形文件,我们使用 Verilog 对 IP 核测试算法进行建模,然后导出其仿真时的 IEEE 1364-VCD 文件(该 VCD 格式的文件存储了利用 Verilog 设计的电路仿真 Testbench 以及子模块电路中指定的信号在特定时刻的变化值,通常情况下 VCD 文件中记录的信号的变化状态有四种:0/1/x/z,分别代表电路中逻辑低电平、逻辑高电平、未知态、高阻态),然后我们设计了脚本程序将 VCD 文件转换为符合 PDL 标准的测试图形文件以提供更好的通用性.

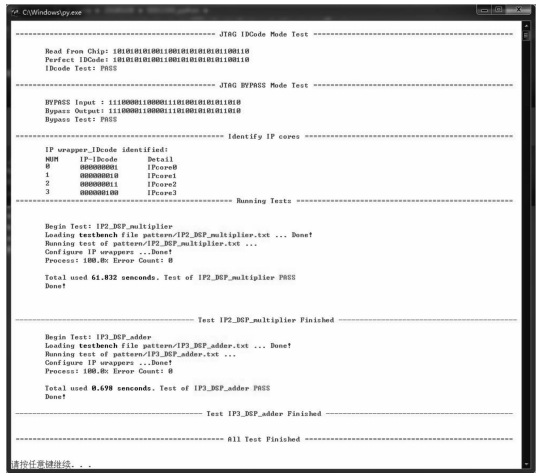


图 4 测试软件效果

图 4 为测试程序界面效果图,从中可见,首先程序配置 JTAG 模块进入 IDCODE 模式读出其 ID-CODE,成功识别 JTAG 模块后接着将 JTAG 配置成旁路模式测试其旁路功能是否正确,如果正确,进一步配置 JTAG 进入 WRAPPER_TEST 模式,此时 JTAG 的 TDI 与 TDO 之间连入的是测试壳阵列;之后程序控制将每个测试壳配置在 WRAPPER_IDCODE 模式,逐一读出各个测试壳的身份信息.当测试壳的身份信息与 ICL 文件中记录的信息相符则可载入测试图形文件并开始测试,由于截图篇幅的限制,图中反映我们测试两个 IP 核,可见测试过程中程序可以自动对 IP 核施加激励,读回测试响应并对测试结果进行比对,最后给出测试时间以及最终测试结果.

3 测试方法实现

我们在基于 Xilinx-V4LX200 FPGA 的测试开发板上实现了本设计. 测试程序可以通过 FPGA 用户 IO 实现的 5pin JTAG 接口连接到片内测试网络,进一步完成整个测试过程.

在实际测试的过程中,我们主要考虑了两种 IP 核测试场景:首先,在 SOC 中测试用户定义逻辑核 (User-defined Logic)时经常使用 IP 核边界扫描的方式^[6],故我们通过测试多种异构 IP 核来验证所提出的方法,我们为 IP 核直接包裹测试壳,然后在 TDI-TDO 之间串行连接 4 种不同的 IP 核测试壳以形成 IP 核测试壳阵列(如图 5),进一步采用 IP 核测试壳边界扫描的方式来进行测试.

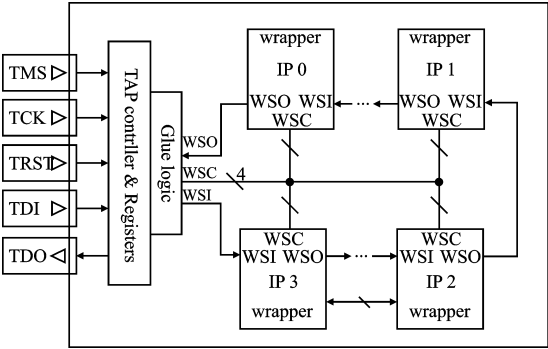


图 5 多种异构 IP 核测试

IP0 和 IP1 为两块位宽不同的 RAM 核,IP2 和 IP3 分别为乘法器和加法器. 我们利用 RAM 测试算法 MarchSS^[8]测试 IP0 和 IP1;文献[8][9]中的算法测试 IP2 和 IP3;此外我们利用测试壳的外部测试功能(WS_EXTEST)测试了 IP2 和 IP3 之间的 30 bit 的互连. 进一步我们使用前面提到的方法获得 IP 核的 PDL 格式测试图形文件. 当准备好 PDL 和 ICL 文件后,测试软件将自动识别测试网络中连接的所有 IP 核,然后逐个开始测试,测试结果见于表 2. 我们可以看到,虽然测试时间受限于我们的 USB-JTAG 板,它只能提供 3 Mbps 的吞吐率,但是由于该 JTAG 接口是通用的,因此这种方法可以兼容更高速度的测试设备,进而执行 IP 核扫描测试.

表 2 四种异构 IP 核测试结果

IP 名	IP 核属性	测试时间(s)
IP0	512x36bit RAM	86.6
IP1	1K x 18bit RAM	95.7
IP2	18bit 乘法器	61.8
IP3	48bit 加法器	0.7
—	IP2-IP3 之间的 30 bit 连接	0.1

其次,由于目前 SOC 中往往集成大量的同构 IP 核,对其测试一般采用内建自测试的方法,因此我们使用测试壳来包裹大量被测同构 IP 核的内建自测试(BIST)模块,我们采用 MarchSS 算法以及文献[8][9]中的算法来设计 RAM 和 DSP 的 BIST 电路模块(如图 6),然后控制测试壳完成测试. 全局 20 MHz 测试时钟由外部信号发生器提供,测试结果见于表 3.

在第一个 FPGA 配置位流中,我们设计了片内所有 336 块 RAM 的内建自测试模块和 96 块 DSP(配置成乘法器)的内建自测试模块,对内建自测试模块分别包裹了测试壳并通过软件端分别控制开始测试(如图 6). 第二个配置位流中我们集成了 96 块 DSP(配置成加法器)的内建自测试模块.

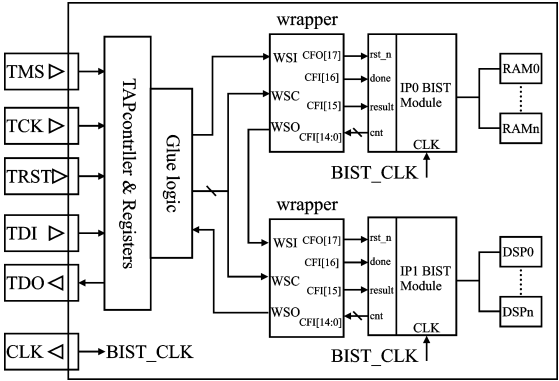


图 6 大量同构 IP 核测试

最后,基于 SMIC-65nm 工艺库我们使用 Design Compiler 综合了所提出的测试壳电路,并将其硬件开销与其他相关研究进行比较,比较结果见于表 3. 行(1)对应于文献[3]中的专用测试壳设计;行(2)对应于文献[3]中的标准测试壳设计;行(3)对应于我们提出的测试壳. (1)(2)中的测试壳仅支持三个 1 500 指令,是专用于 RAM 测试的设计,相较之下我们提出的测试壳完全支持 1 500 标准指令和工作模式. 因此,我们的方法更通用,可以更好地满足不同测试场景的测试要求.

表 3 同构 IP 核的测试结果

序号	IP 属性	数量(块)	测试时间(ms)
1	RAMs	336	1.43
	DSP 乘法器	96	3.3
2	DSP 加法器	96	0.0053

* 序号代表不同的 FPGA 配置位流

表 4 与相关文献比较结果

序号	文献	工艺	注 1	硬件开销	注 2
(1)	[3]	90nm UMC	5509/167000 (1024x64bit)	3.30%	3+5
(2)	[3]	90nm UMC	4532/167000 (1024x64bit)	2.71%	3
(3)	our	65nm SMIC	2659.7/77935.3 (1024x64bit)	3.41%	11+1

* 注 1:测试壳面积/RAM 面积(um²) * 注 2:1500 规定指令+自定义指令

此外,(1)中测试壳的 BIST 算法较简单(复杂度为 6n). 我们的测试壳支持测试算法可变,且采用的 MarchSS 算法的复杂度为 22n,是(1)中的 3.7 倍,这意味着测试 RAM 时具有更高的故障覆盖率,并且考虑到对所有指令支持而产生的译码器等电路的开销,面积开销增加 0.1%是可以接受的. 与(2)相比,开销明显增加的主要原因是(2)中的标准测试壳仅支持 3 个 1500 指令,而我们提出的测试壳支持 11 个指令和相应的工作模式,考虑到指令的译码电路和支持各种测试模式的电路开销,面积开销增加 0.7%是可以接受的.

4 结束语

我们基于 IEEE 标准设计了通用的数字 IP 核测试方法. 本方法采用主流 IEEE1149.1 标准作为测试接入接口以方便兼容不同芯片设计,进一步本方法采用 IEEE1500 设计 IP 核测试壳,并支持其全部 11 条指令所对应的工作模式,为了进一步增强测试自动化程度,本方法利用自顶向下的参数化设计方法以及编译指令,仅重新定义待测 IP 的端口数量和名称,即可完成各种数字 IP 核的测试壳设计以及集成. 本方法的测试软件基于 PC 电脑的 Python 环境并支持 IEEE1687 测试数据,故其通用性较强,该软件可做到无需修改测试图形文件即可自动完成测试、提取诊断信息.

本方法在保证较高的测试自动化程度的前提下,无论软件、软硬件接口以及硬件设计均符合主流标准,故可以通用的用于实验室原型设计测试等一些低成本的嵌入式数字 IP 核的测试场景. 此外,由于本方法的硬件设计以及 IP 核测试数据格式采用国际主流测试标准,故这些部分可以兼容于业界主流 EDA 工具的芯片设计方法中,具有较高的通用性.

参考文献:

[1] IEEE Standard Testability Method for Embedded Core-based Integrated Circuits [C] // IEEE Std. IEEE, 2005:2.

[2] IEEE Standard for Access and Control of Instrumentation Embedded within a Semiconductor Device[C]// IEEE Std. IEEE, 2014:2.

[3] Huang Y J, Li J F. Low-Cost Self-Test Techniques for Small RAMs in SOC's Using Enhanced IEEE 1500 Test Wrappers[J]. IEEE Transactions on Very Large Scale Integration Systems, 2012, 20(11): 2123-2127.

[4] Ali G, Hussin F A, Ali N B Z, et al. Enhancement in IEEE 1500 standard for at-speed test and debug[C] // Circuits and Systems Conference. IEEE, 2014: 1-4.

[5] Lee K J, Hsieh T Y, Chang C Y, et al. On-Chip SOC Test Platform Design Based on IEEE 1500 Standard [J]. IEEE Transactions on Very Large Scale Integration Systems, 2010, 18(7):1134-1139.

[6] 黄瑜真. 用於多核心/裸晶系統晶片之有效測試與良率提升技術[D]. 首尔:中央大學, 2012.

[7] Hamdioui S, Goor A J V D, Rodgers M. March SS: A Test for All Static Simple RAM Faults [C] // IEEE International Workshop on Memory Technology, Design and Testing. IEEE, 2002:95-100.

[8] Zhang Z, Lai J. An efficient method for testing multipliers of embedded DSPs in FPGA[C]// IEEE International Conference on Solid-State and Integrated Circuit Technology. IEEE, 2017:695-697.

[9] Kajihara S, Sasao T. On the adders with minimum tests[C]// Asian Test Symposium. IEEE Computer Society, 1997:10.

作者简介:

马昕煜 男,(1991-),硕士研究生.研究方向为 FPGA 以及 SOC 内嵌 IP 核测试. E-mail:mxy.1@qq.com.

徐瀚洋 男,(1988-),博士.研究方向为 FPGA 内嵌 DSP IP 核以及 IO 电路设计.

王 健 男,(1982-),硕士,工程师.研究方向为 FPGA 电路设计、FPGA 板级系统设计.